

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 61049458  
PUBLICATION DATE : 11-03-86

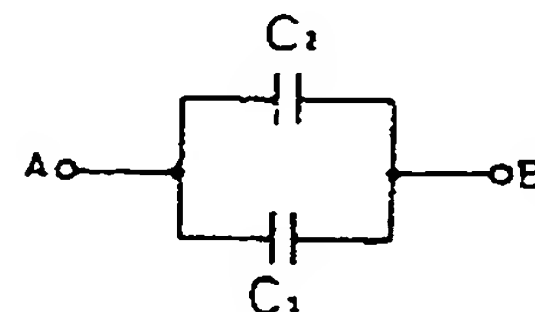
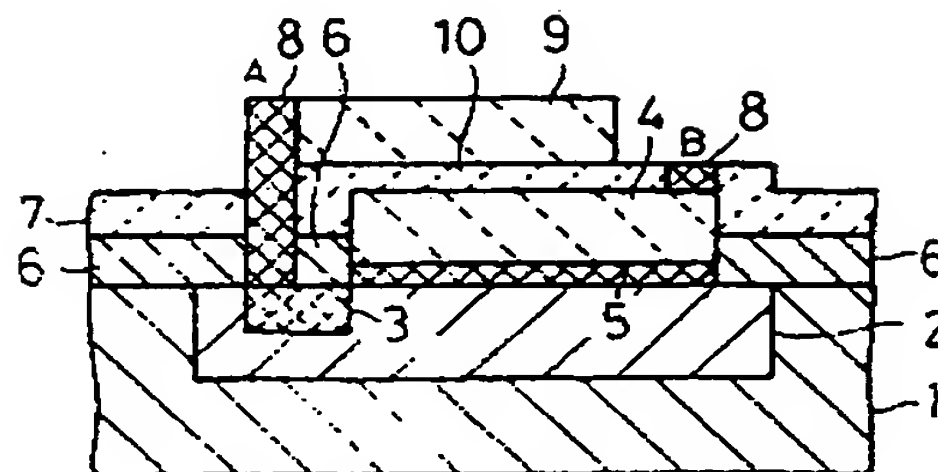
APPLICATION DATE : 17-08-84  
APPLICATION NUMBER : 59172007

APPLICANT : MITSUBISHI ELECTRIC CORP;

INVENTOR : . TAKIMOTO ISAO;

INT.CL. : H01L 27/04

TITLE : SEMICONDUCTOR INTEGRATED  
CIRCUIT DEVICE



ABSTRACT : PURPOSE: To obtain large capacitance without occupying a wide area by adjacently disposing a plurality of conductors at small intervals in the direction vertical to the upper surface of a semiconductor chip, insulating each conductor by an insulating film and forming a plurality of capacitances.

CONSTITUTION: A capacitance C<sub>1</sub> in which an N<sup>-</sup> diffusion layer and a conductor 4 are used as electrodes and a gate oxide film 5 is employed as a dielectric and a capacitance C<sub>2</sub> in which the conductor 4 and a conductor 9 are used as electrodes and an insulating film 10 is employed as a dielectric are formed in parallel between A and B. Accordingly, the capacitances are shaped on the upper surface of a semiconductor substrate in a multiplayer manner while a plurality of the capacitances are each adjoined and arranged, thus obtaining large capacitance without occupying a wide area.

COPYRIGHT: (C)1986,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-49458

⑤ Int. Cl.<sup>4</sup>  
H 01 L 27/04

識別記号 庁内整理番号  
C-7514-5F

④ 公開 昭和61年(1986)3月11日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体集積回路装置

⑮ 特 願 昭59-172007

⑯ 出 願 昭59(1984)8月17日

⑰ 発 明 者 滝 本 功 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

半導体チップの上面に、この上面に対し垂直方向に配設された複数の導電体のそれぞれを対向面させて電極とし、前記各導電体間に絶縁膜を介在させて形成した容量を多層に近接して所要数配設したことを特徴とする半導体集積回路装置。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、容量を具備した半導体集積回路装置に関するものである。

〔従来技術〕

従来のこの種の装置には、第1図に容量構成の長部を断面図で示すようなものがあつた。第1図はMOS型P<sup>+</sup>拡散基板の場合を示し、1はP<sup>+</sup>拡散からなる半導体基板、2はN<sup>-</sup>拡散層、3はN<sup>+</sup>拡散層、4はポリシリコンあるいはアルミからなる導電体、5はゲート酸化膜、6はフィール

ド酸化膜、7は上積み酸化膜、8はアルミからなるコンタクトである。

このように構成されたMOS型半導体集積回路装置において、導電体4とN<sup>-</sup>拡散層2とを電極とし、ゲート酸化膜5を誘電体とした容量を形成している。

このような構成の容量における容量値は、第(1)式で表わされる。

$$C = \frac{S \cdot \epsilon_{ox} \cdot \epsilon_0}{t_{ox}} \dots \dots \dots (1)$$

上式において、 $\epsilon_{ox}$ は酸化膜の比誘電率、 $\epsilon_0$ は真空の誘電率、 $t_{ox}$ はゲート酸化膜5の厚さ、Sはポリシリコンあるいはアルミからなる導電体4とゲート酸化膜5とが接する面積である。したがつて、大容量を得るためには酸化膜の比誘電率 $\epsilon_{ox}$ と誘電体となるゲート酸化膜5の厚さ $t_{ox}$ はプロセス上限定されるので、面積Sを大きくしなければならず、このため集積回路のチップ表面を大面積占有しなければならなかつた。

〔発明の概要〕

この発明は、上記従来の半導体集積回路装置の欠点を解消しようとするもので、半導体チップ上に複数の導電体を半導体チップ上面に対し垂直方向に小間隔に近接して配設し、前記各導電体を絶縁膜で絶縁して複数の容量を形成し、半導体チップの上面を大面積を占有することなく、大きな容量値をもつ半導体集積回路装置を提供することを目的としている。以下、この発明の一実施例を図面について説明する。

#### 〔発明の実施例〕

第2図はこの発明の一実施例による半導体集積回路装置の容量構成の要部断面図を示し、第3図は第2図の等価回路図である。これらの図で、第1図と同一または相当部分は同じ符号で示されている。第2図において、9は前記導電体4の上面に絶縁膜を介して形成された導電体であり、10は前記導電体8を絶縁する絶縁膜である。これによつて2層に容量が形成される。

このような構成のMOS型半導体集積回路装置において、N<sup>-</sup>拡散層2および導電体4を電極と

し、ゲート酸化膜5を誘電体とした容量C<sub>1</sub>とし、導電体4および導電体8を電極とし、絶縁膜10を誘電体とした容量C<sub>2</sub>が、第3図に等価回路として示したようにA、B間に並列に形成される。

なお、上記実施例では導電体4、9を半導体チップの垂直方向に2層に配置したが、2層以上複数層絶縁膜を介して近接して配置してもよい。

また、上記実施例では導電体4、9をN<sup>-</sup>拡散層2の上面に配置したが、拡散層はN型だけでなくP型でもよい。

また、上記実施例では導電体9とN<sup>-</sup>拡散層2をアルミからなるコンタクト8で接続した場合について説明したが、拡散層を用いず、導電体4、9の相互間で容量を形成してもよい。

また、上記実施例では導電体4、9をA、B2点に接続した場合について述べたが、導電体4、9は2点以上複数点に接続してもよい。

#### 〔発明の効果〕

以上説明したように、この発明は半導体チップの上面にこの上面に対し垂直方向に絶縁膜を介し

て複数の導電体を形成して多層に容量を形成するとともに、前記容量をそれぞれ近接して複数配設したので、前記導電体間の距離を短くし、導電体の数を増加することによつて、大容量を得ることができるので、従来のように広大な面積を占有することなく大容量を得ることができる。そのため、チップ面積の縮小に非常に有効である等の利点が得られる。

#### 4. 図面の簡単な説明

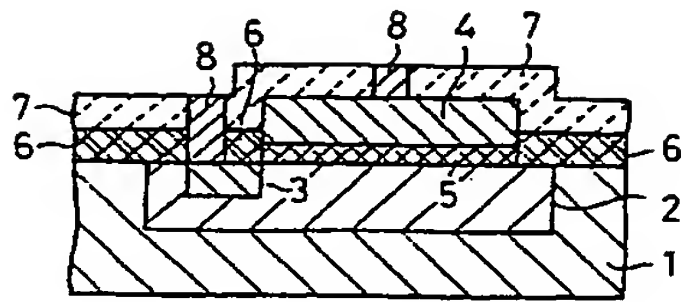
第1図は従来のMOS型半導体集積回路装置における容量構成の要部断面図、第2図はこの発明の一実施例による半導体集積回路装置における容量構成の要部断面図、第3図は第2図の等価回路図である。

図中、1はP<sup>-</sup>拡散からなる半導体基板、2はN<sup>-</sup>拡散層、3はN<sup>+</sup>拡散層、4はポリシリコンあるいはアルミからなる導電体、5はゲート酸化膜、6はフィールド酸化膜、7は上積み酸化膜、8はアルミからなるコンタクト、9は導電体、10は導電体を絶縁する絶縁膜である。

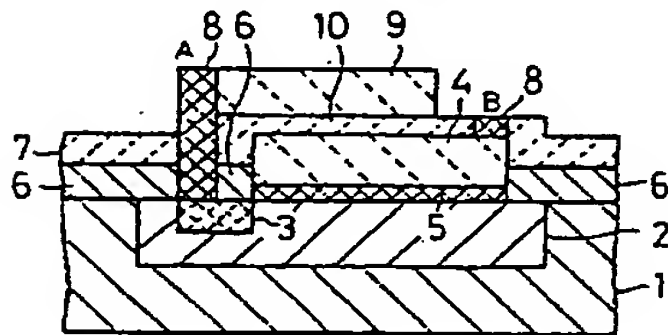
なお、図中の同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄 (外2名)

第 1 図



第 2 図



第 3 図

